

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-048593

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

G11C 29/00

(21)Application number : 11-218995

(71)Applicant : SAMSUNG ELECTRONICS
CO LTD

(22)Date of filing :

02.08.1999

(72)Inventor : KYO DAKIN

(30)Priority

Priority number : 98 9831423

Priority date : 01.08.1998

Priority country : KR

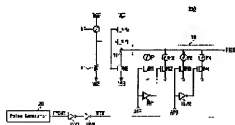
(54) REDUNDANT DECODING CIRCUIT AND ITS CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption at the time of stand-by by providing a comparator, driving circuit, a pulse generator, and the like, and inactivating a nonselect signal automatically after burst read/write operation thereby controlling a current circuit leading to redundant decoding.

SOLUTION: A pulse signal CYC4B from a pulse generator 20 in a redundant decoding circuit 200 has a low level at the time of starting normal read/write operation and goes high level at the end of normal read/write operation. The pulse signal CYC4B is activated to low state only during normal read/write operation and inactivated automatically upon elapsing a sufficiently long time for executing the read/write operation. The pulse signal CYC4B is inactivated when a semiconductor memory having the redundant decoding circuit 200 makes a transition

to stop mode. Consequently, generation of current path is prevented surely in stop mode.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-48593

(P2000-48593A)

(43) 公開日 平成12年2月18日 (2000. 2. 18)

(51) Int. Cl.⁷

識別記号

F I

データコード* (参考)

G 1 1 C 29/00

6 0 3

G 1 1 C 29/00

6 0 3 K

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願平11-218995

(22) 出願日 平成11年8月2日 (1999. 8. 2)

(31) 優先権主張番号 9 8 - 3 1 4 2 3

(32) 優先日 平成10年8月1日 (1998. 8. 1)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅蔭洞416

(72) 発明者 姜兌均

大韓民国京畿道仁川市東区花水1洞272-7

(74) 代理人 100076428

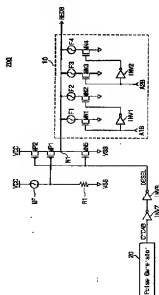
弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 冗長デコーディング回路及びその制御方法

(57) 【要約】

【課題】 自動的非選択特性を有する冗長デコーディング回路を提供する。

【解決手段】 本発明の冗長デコーディング回路は、バースト読み出し／書き込み動作後に非選択信号を自動的に非活性化させて冗長デコーディング回路を通じる電流通路を除去することにより、メモリ装置内でのスタンドバイ時のパワー消費を低減する。本発明の冗長デコーディング回路は、読み出し／書き込み動作を実行するために十分な長さの所定パルス幅のパルス信号を発生するパルス発生器を備える。パルス信号は非選択信号で駆動回路へ提供され、駆動回路は冗長アドレスをデコーディングする比較器へ駆動電流を提供する。パルス信号はチップ選択信号が活性化される時に開始して所定時間後に終了する。パルス発生器は、直列に連結されると共に共通クロック信号により駆動される複数のフリップフロップと、この複数のフリップフロップの出力を論理演算するロジック回路で具現される。



【特許請求の範囲】

【請求項1】 半導体メモリ装置用の冗長デコーディング回路において、

冗長アドレスを決定するために選択的に切断される内部ヒューズが自己の出力端子に接続されており、前記内部ヒューズの状態に従って前記冗長アドレスをデコーディングして状態信号を出力する比較器と、

前記比較器に接続され、スイッチング制御信号及びパルス信号に応じて前記比較器の前記出力端子へ駆動電流を供給する駆動回路と、

前記マスタヒューズを有し、前記マスタヒューズの状態によりロジックレベルが決定される前記スイッチング制御信号を発生し、前記駆動回路に供給するスイッチング制御信号発生器と、

チップ選択信号に応じて前記メモリ装置の通常の読み出し／書き込み動作に対応する幅を有する前記パルス信号を発生し、前記駆動回路に供給するパルス発生器と、を備えることを特徴とする冗長デコーディング回路。

【請求項2】 前記パルス発生器は、直列に接続された複数のフリップフロップと、前記複数のフリップフロップに接続され、前記複数のフリップフロップの出力をデコーディングして前記パルス信号を発生するデコーディング回路とを備え、前記複数のフリップフロップのうち第1段のフリップフロップは前記チップ選択信号を受け入れ、前記複数のフリップフロップはクロック信号に同期して動作することを特徴とする請求項1に記載の冗長デコーディング回路。

【請求項3】 前記半導体メモリ装置は、4アドレスバーストシーケンスを実行する機能を備え、

前記パルス発生器は、

第1乃至第4フリップフロップと、

第1ナンドゲートと、

第2ナンドゲートと、

ノアゲートと、

を備え、前記第1乃至第4フリップフロップは、各々、データ入力端子とクロック入力端子と、データ出力端子とを有し、前記第1フリップフロップの前記データ入力端子には前記チップ選択信号が接続されており、前記第1ナンドゲートは、前記第1及び第2フリップフロップの前記データ出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、

前記第2ナンドゲートは、前記第3及び第4フリップフロップの前記データ出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、前記ノアゲートは、前記第1及び第2ナンドゲートの前記出力端子に各々接続される二つの入力端子と、前記パルス信号を出力する一つの出力端子とを有することを特徴とする請求項1に記載の冗長デコーディング回路。

【請求項4】 前記半導体メモリ装置は、4アドレスバーストシーケンスを実行する機能を有し、前記パルス発生器は、第1乃至第4フリップフロップと、第1ノアゲートと、第2ノアゲートと、ナンドゲートと、インバータと、を備え、前記第1乃至第4フリップフロップは、各々、データ入力端子とクロック入力端子と、データ出力端子とを有し、前記第1フリップフロップの前記データ入力端子には前記チップ選択信号が接続されており、前記第1ノアゲートは、前記第1及び第2フリップフロップの前記データ出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、前記第2ノアゲートは、前記第3及び第4フリップフロップの前記データ出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、前記ナンドゲートは、前記第1及び第2ノアゲートの前記出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、前記インバータは、前記ナンドゲートの前記出力端子に接続される入力端子と、前記パルス信号を出力する出力端子とを有することを特徴とする請求項1に記載の冗長デコーディング回路。

ーストシーケンスを実行する機能を有し、

前記パルス発生器は、

第1乃至第4フリップフロップと、

第1ノアゲートと、

第2ノアゲートと、

ナンドゲートと、

インバータと、

を備え、前記第1乃至第4フリップフロップは、各々、データ入力端子とクロック入力端子と、データ出力端子とを有し、前記第1フリップフロップの前記データ入力端子には前記チップ選択信号が接続されており、前記第1ノアゲートは、前記第1及び第2フリップフロップの前記データ出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、前記第2ノアゲートは、前記第3及び第4フリップフロップの前記データ出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、前記ナンドゲートは、前記第1及び第2ノアゲートの前記出力端子に各々接続される二つの入力端子と、一つの出力端子とを有し、

前記インバータは、前記ナンドゲートの前記出力端子に接続される入力端子と、前記パルス信号を出力する出力端子とを有することを特徴とする請求項1に記載の冗長デコーディング回路。

【請求項5】 冗長アドレスをデコーディングする比較器と、スイッチング制御信号及び非選択信号に応じて前記比較器へ駆動電流を供給する駆動回路と、前記スイッチング制御信号を発生するスイッチング制御信号発生器とを備える冗長デコーディング回路の制御方法において、

チップ選択信号に応じて所定のパルス幅のパルス信号を発生する段階と、前記パルス信号を前記非選択信号として前記駆動回路へ提供する段階と、を含むことを特徴とする冗長デコーディング回路動作方法

【請求項6】 前記所定のパルス幅は、前記冗長デコーディング回路が使用されるメモリ装置の読み出し／書き込み動作の期間に該当することを特徴とする請求項5に記載の冗長デコーディング回路動作方法

【請求項7】 前記パルス信号を発生する段階は、前記チップ選択信号により複数の直列に接続されたフリップフロップを駆動する段階と、共通クロック信号により前記フリップフロップを同期して動作させる段階と、を含むことを特徴とする請求項6に記載の冗長デコーディング回路動作方法。

【請求項8】 メモリ装置用の冗長デコーディング回路において 冗長アドレスをデコーディングして状態信号を発生する比較手段と、

パルス信号にตอบสนองして前記比較手段へ駆動電流を供給する駆動手段と、

チップ選択信号にตอบสนองして前記パルス信号を発生するパルス発生手段と、

を含むことを特徴とする冗長デコーディング回路。

【請求項9】 前記パルス発生手段は、前記チップ選択信号が活性化される時に前記パルス信号のパルスを開始させ、読み出し／書き込み動作が完了された後に前記パルスを自動的に終了させることを特徴とする請求項8に記載の冗長デコーディング回路。

【請求項10】 前記駆動手段は、マスタヒューズの状態に応じてスイッチング制御信号を発生する信号発生手段を含み、前記スイッチング制御信号にตอบสนองして前記駆動電流を前記比較手段へ供給することを特徴とする請求項8に記載の冗長デコーディング回路。

【請求項11】 前記パルス発生手段は、複数の出力信号を発生する手段と、前記出力信号にตอบสนองして前記パルス信号を発生するロジック手段と、を含むことを特徴とする請求項8に記載の冗長デコーディング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ装置に関するものであり、より詳しくは半導体メモリ装置でパワー消費を減らすための自動的非選択特性を有する冗長デコーディング回路に関するものである。

【0002】

【従来の技術】超高集積（VLSI）メモリ装置の集積度の増加に伴って欠陥メモリの発生可能性も増加する。欠陥セルによる収率の減少を防ぐため、限定された数の欠陥セルを有する装置で欠陥メモリセルを取り替える手法として冗長スキーム（redundancy schemes）が使用されている。この冗長スキームの例が米合衆国特許第15, 471, 426号と第5, 146, 429号に開示されている。

【0003】図1は、メモリ装置内の欠陥セルの代わりを使用される冗長セルをデコーディングするために使用される従来の冗長デコーディング回路100の回路図である。図1の冗長デコーディング回路100は比較器10を備えている。比較器10は内部ヒューズ（internal fuses）F1～F4、NMOSTランジスタMN1～MN4、そしてインバータ（inverters）INV1及びINV2で構成される。比較器10は内部ヒューズF1～F4の状態に応じて入力端子A1B及びA2Bを通じて印加される冗長アドレス（redundant address）をデコーディングして出力端子N1で冗長活性化状態信号REDBを発生する。

【0004】図1の冗長デコーディング回路100は更

に駆動回路を備える。この駆動回路は二個のPMOSTランジスタMP1及びMP2と一個のNMOSTランジスタMN5とで構成される。駆動回路は比較器10の出力端子N1へ駆動電流を供給する。インバータINV5及びINV6で構成されるラッチ（latch）L2からの非選択信号DESELはランジスタMP2及びMN5のゲートへ印加される。

図1の冗長デコーディング回路100はスイッチング制御信号発生器を備えている。スイッチング制御信号発生器はマスタヒューズ（master fuse）MFと、電源電圧VCCと接地電圧VSSとの間でマスタヒューズMFと直列に連結された高インピーダンス（impedance）抵抗R1で構成される。抵抗R1はポリシリコン（polysilicon）材料で構成される。

【0005】スイッチング制御信号発生器はスイッチング制御信号を発生する。このスイッチング信号はランジスタMP1のゲートへ印加され、駆動回路はこのスイッチング信号に応じて比較器10を駆動する。内部ヒューズF1～F4のうち該当する内部ヒューズと共にマスタヒューズMFは、半導体メモリ装置がまだウェーブ状態にある時にレーザービーム（laser beam）や高電圧を使用して切断される。欠陥メモリの代わりに冗長セルをデコーディングする図1の冗長デコーディング回路がイネーブル（enable）されるようにするためには、マスタヒューズMFを切断し、抵抗R1によりランジスタMP1のゲートをローロジックレベル（low logic level）にする。これにより、非選択信号DESELがローレベルである時、駆動回路は電源電圧VCCからの駆動電流を出力端子N1へ供給することができる。この際、比較器10は冗長アドレス入力端子A1B及びA2Bを通じて印加されるアドレスを内部ヒューズF1～F4の状態に従ってデコーディングして、冗長メモリの活性化するための冗長活性化状態信号REDBを出力端子N1で発生する。

【0006】バッテリー（battery）により動作する電子システムで使用される半導体メモリ装置のスタンバイモード時のスタンバイ電流を減らす目的で、クロック信号の周波数を0にする場合があるが、この場合にはクロック信号が遷移しない。クロック信号を中断させることができる同期型バーストSRAM（static random access memory）の例が64K×36同期型SRAMの三星電子の仕様書“KM736V687”改訂版1.0（1997年5月）に開示されている。この文獻に記載された内容は、本明細書の一部とする。以下では、クロック周波数が0である時を「ストップモード（stop mode）」又は「ストップクロックモード（stop clock mode）」と呼ぶ。前述した従来の冗長デコーディ

ング回路100ではストップモード中に電流バスが存在する点がある。これを図2及び図3を参照して説明する。図2は、図1の各点での信号のタイミング図であり、図3は、図1の回路が通常の読み出し/書き込みモードからストップモードへ遷移する時の信号のタイミング図である。

【0007】図2に示すように、半導体メモリ装置が選択されない時、即ち、チップ選択信号CSBがローからハイへスイッチされる時、信号CSBは、制御信号BI及びBIBにより制御されるトランスマッションゲート(transmission gates) TGI及びTG2を通じて、ラッチL2へ伝達される。ラッチL2はハイレベルの非選択信号DESELを出力し、その信号DESELによりトランジスタMP2がターンオフ(turn-off)される。このような状態で、図1のデコーディング回路を有する半導体メモリ装置がストップモードへ移行する時には、たとえマスタヒューズMFが切断されていても、冗長デコーディング回路を通じるDC電流通路が形成されない。

【0008】しかし、図3に示されたように、通常の読み出し/書き込み動作後に半導体メモリ装置がストップモードへ移行すると、制御信号BI及びBIBによりラッチL2がローレベルのチップ選択信号CSBをラッチするので非選択信号DESELがローレベルに駆動される。通常の読み出し/書き込み動作はこの技術分野でよく知られているように行われ、その読み出し/書き込み動作の後にメモリ装置はストップモードへ移行する。このような状態、即ち、マスタヒューズMFが切断され、非選択信号DESELがローレベルにある状態では、ストップモード中にトランジスタMP1、MP2、ヒューズF1〜F4のうち切断されていないヒューズ及び該ヒューズに対応するトランジスタよりなるDC電流通路が図1のデコーディング回路内に存在する。このDC電流通路がストップモード中にスタンバイ電流の増加を引き起こす。

【0009】

【発明が解決しようとする課題】本発明の目的は、半導体メモリ装置のスタンバイ時のパワー消費を減らすことである。

【0010】

【課題を解決するための手段】本発明による冗長デコーディング回路は、バースト読み出し/書き込み動作後に非選択信号を自動的に非活性化させて冗長デコーディングを通じる電流通路を制御することにより、メモリ装置のスタンバイパワー消費を低減する。本発明の冗長デコーディング回路は、パルス信号を発生するパルス発生器を備える。このパルス信号は、読み出し/書き込み動作を実行するために十分に長いパルス幅を有し、非選択信号として駆動回路へ提供される。駆動回路は、パルス信号にตอบสนองして冗長アドレスをデコーディングする比較器へ

駆動電流を提供する。パルス信号のパルスは、チップ選択信号が活性化される時に開始して所定の時間後に終了する。パルス発生器は、直列接続されると共に共通クロックに同期して動作する複数のフリップフロップ(flip-flops)及びこのフリップフロップの出力を論理演算するロジック回路を備える。

【0011】本発明の一つの特徴に係る冗長デコーディング回路は、比較器、駆動回路、スイッチング制御信号発生器、及びパルス発生器を含む。比較器は、冗長アドレスをデコーディングして状態信号を出力する。また、比較器は、自己の出力端子に接続された内部ヒューズを備える。この内部ヒューズは冗長アドレスを決定するため選択的に切断されるように構成される。駆動回路は、スイッチング制御信号及びパルス信号にตอบสนองして比較器の出力端子へ駆動信号を供給する。スイッチング制御信号発生器は、スイッチング制御信号を発生する。パルス発生器は、チップ選択信号にตอบสนองしてパルス信号を発生する。パルス信号は、メモリ装置の通常の読み出し/書き込み動作に対応する幅を有する。

【0012】本発明の他の特徴に係る制御方法は、冗長アドレスをデコーディングする比較器と、スイッチング制御信号及び非選択信号にตอบสนองして比較器へ駆動電流を供給する駆動回路と、スイッチング制御信号を発生するスイッチング制御信号発生器とを備える冗長デコーディング回路を制御する方法であって、チップ選択信号にตอบสนองして所定パルス幅のパルス信号を発生する段階と、パルス信号を非選択信号で駆動回路へ提供する段階とを含む。

【0013】

【発明の実施の形態】以下、添付図面を参照して本発明の望ましい実施形態について詳細に説明する。

【0014】図4は、本発明による冗長デコーディング回路200の実施形態の概略図である。図4で、図1の構成要素と同一の構成要素には同一参照番号が付されている。

【0015】図4に示された冗長デコーディング回路200は、パルス信号CYC4Bを発生するパルス発生器20を備える点で、図1の従来の回路100と異なる。パルス信号CYC4Bは、通常の読み出し/書き込み動作が開始される時はローレベルになり、その後、通常の読み出し/書き込み動作が終了する時は、ハイレベルになる。即ち、パルス信号CYC4Bは、通常の読み出し/書き込み動作の実行中にのみロー状態に活性化され、読み出し/書き込み動作を実行する時に十分に長い所定の時間が経過した後(或いは、通常の読み出し/書き込み動作が実行される期間以外の期間)に、自動的に非活性化される。例えば、パルス信号は、図4の冗長デコーディング回路200を有する半導体メモリ装置がストップモードに移行する時に、非活性化される。従って、図4の回路は、ストップモード時にあっては、電流通路の生成

を確実に防いでスタンバイ電流を低減する。詳細は後述する。

【0016】図5は、図4に示されたパルス発生器20の1つの実施形態を示す図である。図4に示されたパルス発生器20の1つの実施形態は、4個のフリップフロップF F 0〜F F 3、2個の入力ナンドゲートG 1及びG 2、そして1個の2入力ノアゲートG 3を備えている。フリップフロップF F 0〜F F 3は、直列に接続されたD型フリップフロップであり、各フリップフロップの出力Qは、次段のフリップフロップの入力Dに接続されている。4個のフリップフロップの全てのクロック入力端子Cは共通のクロック信号C L Kに接続されて駆動される。これらのフリップフロップは一連の出力信号Q 0〜Q 3を発生し、これらの信号はロジックゲートG 1〜G 3により論理演算される。ロジックゲートG 1〜G 3は、クロック信号C L Kの4サイクルに対応するパルス幅のパルス信号C Y C 4 Bを生成する。

【0017】冗長デコーディング回路200は、例えば、4アドレスバースト読み出し/書き込み動作を実行する機能を有する、K M 7 3 6 V 6 8 7仕様書に開示されている同期型バーストS R A Mに適用することができる。そのように適用される場合には、チップ選択信号C S Bがローレベルに駆動された後にパルス信号C Y C 4 BがS R A Mのバーストサイクルに該当する期間において活性化される。その理由は通常の読み出し/書き込み動作がクロック信号C L Kの4サイクル中に実行されるからである。しかし、前述した本発明の望ましい実施形態による冗長デコーディング回路の適用範囲が、4アドレスバースト読み出し/書き込みサイクルにのみ限定されないことは、この技術分野の当業者には自明な事実である。

【0018】図6は、図4及び図5に示された冗長デコーディング回路200内の各信号を示すタイミング図である。

【0019】欠陥メモリの代わり冗長セルをイネーブルさせる冗長デコーディング回路をイネーブルさせるためには、マスタヒューズM F及び内部ヒューズF 1〜F 4の中の該当する内部ヒューズを切断することが必要である。マスタヒューズM Fを切断すると、P M O SトランジスタM P 1のゲートはローレベルに駆動され、これによりトランジスタM P 1がターンオンされる。チップ選択信号C S Bが図6に示されたようにハイレベルからローレベルへ遷移する時、チップ選択信号C S Bは、クロック信号C L Kの立ち上りエッジでフリップフロップF F 0によりラッチされる。そして、パルス信号C Y C 4 Bが活性化されてローレベルに駆動される。このパルス信号C Y C 4 Bは、直列接続されたインバータI N V 7及びI N V 8を通じて、非選択信号D E S E Lとして、トランジスタM P 2及びM N 5のゲートへ印加される。これにより、トランジスタM P 2はターンオン

されてトランジスタM N 5はターンオフされる。その結果、駆動電流がトランジスタM P 1及びM P 2を通じて出力端子N 1へ供給される。

【0020】続いて、比較器10は、冗長アドレス入力端子A 1 B及びA 2 Bを通じて印加されたアドレスをデコーディングして出力端子N 1を通じて冗長活性化状態信号R E D Bを発生する。4アドレスバースト読み出し/書き込み動作が実行された後に、パルス信号C Y C 4 Bは、パルス発生器20により自動的にハイ状態に非活性化される。これにより、トランジスタM P 2がターンオフされ、出力端子N 1に対する駆動電流の供給が停止される。

【0021】その後、半導体装置は図6に示されたようにストップモードへ移行する。図1に示された従来の回路では、ストップモード中にD C電流がトランジスタM P 1及びM P 2を通じて流れる。しかし、図4の回路を使用すると、バースト読み出し/書き込み動作後にパルス信号C Y C 4 Bがハイレベルに復帰してトランジスタM P 2をターンオフさせるので、電源V C Cから出力端子N 1へ流れるD C電流が遮断される。従って、本発明の望ましい実施形態による冗長デコーディング回路は、ストップモード時のスタンバイ電流の消耗を低減することができる。また、本発明の望ましい実施形態による冗長デコーディング回路は、バースト読み出し/書き込み動作ではなく、部分的な読み出し/書き込みモードが実行される場合においても、電流消費を低減することができる。

【0022】図7は、パルス発生器20の他の実施形態を示してある。図8は、図7に示されたパルス発生器で使用される信号を示すタイミング図である。

【0023】図7のパルス発生器は、チップ選択信号が、ローレベルではなく、ハイレベルの時に活性状態となる点で図4の回路と異なる。従って、図5のナンドゲートG 1及びG 2並びにノアゲートG 3は、ノアゲートG 4及びG 5及びナンドゲートG 6で各々取り替わられ、ナンドゲートG 6の出力端にインバータI N V 9が追加される。図7に示されたパルス発生器20を使用する冗長デコーディング回路200は、図4に示されたパルス発生器を有する回路と本質的に同一な機能を実行するので、その説明は省略する。

【0024】ここでは望ましい実施形態を通じて本発明を説明したが、本発明の原理を逸脱しない範囲で、他の様々な実施形態を採用することができる。従って、特許請求の範囲に記載された発明の技術的範囲に属する全ての変形例が本発明の保護範囲に属すると理解されるべきである。

【0025】

【発明の効果】本発明によると、例えば、バースト読み出し/書き込み動作後に冗長デコーディング回路を通じる電流通路が遮断されるので半導体装置のスタンバイ時

のパワー消費が低減される。また、本発明によると、バースト読み出し／書き込み動作ではなく、部分的な読み出し／書き込みモードが実行される場合においても電流消費が低減される。

【図面の簡単な説明】

【図1】従来の冗長デコーディング回路の回路図である

【図2】非選択モードからストップモードへ移行する際の図1で使用された制御信号のタイミング図である。

【図3】通常の読み出し／書き込みモードから停止モードへ移行する際の図1で使用された制御信号のタイミング図である。

【図4】本発明の望ましい実施の形態による冗長デコー

ディング回路を示す図面である。

【図5】図4のバルス発生器の1つの実施形態を示す回路図である。

【図6】図5のバルス発生器を備える冗長デコーディング回路で使用される制御信号のタイミング図である。

【図7】図4のバルス発生器の他の実施の形態を示す回路図である。

【図8】図7のバルス発生器を備える冗長デコーディング回路で使用される制御信号のタイミング図である。

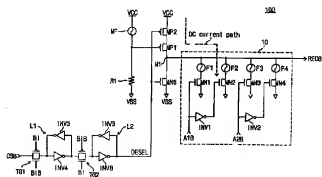
【符号の説明】

10 比較器

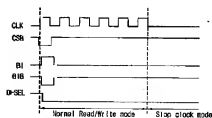
20 バルス発生器

200 冗長デコーディング回路

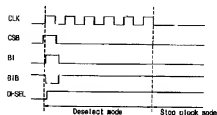
【図1】



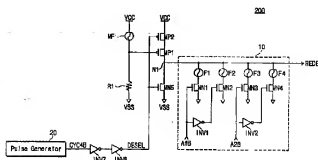
【図3】



【図2】



【図4】



(8) 開2000-48593 (P2000-48593A)

【図8】

